

⑮ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Patentschrift
⑩ DE 199 20 335 C 1

⑰ Aktenzeichen: 199 20 335.0-31
⑱ Anmeldetag: 3. 5. 1999
⑲ Offenlegungstag: -
⑳ Veröffentlichungstag
der Patenterteilung: 7. 9. 2000

⑤ Int. Cl. 7:
H 03 K 5/135

DE 199 20 335 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑰ Patentinhaber:
Siemens AG, 80333 München, DE

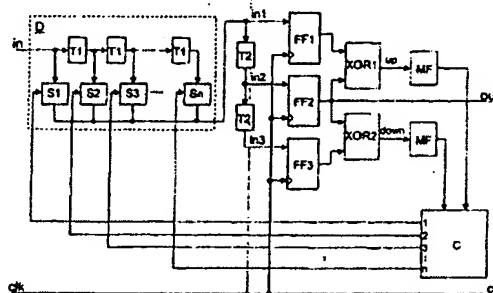
⑱ Erfinder:
Hofmann, Ralf, Dr.-Ing., 89518 Heidenheim, DE;
Jelonnek, Björn, Dr.-Ing., 89079 Ulm, DE

⑤ Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

DE 38 26 717 A1
EP 04 24 741 A2
JP 09181579 A, In: Pat. Abstr. of JP;

⑤ Anordnung zur Phasengleichung eines Datensignals an ein Taktsignal in einem digitalen integrierten Schaltkreis

⑤ Die erfindungsgemäße Anordnung weist einen adaptiven Verzögerungsschaltkreis zum Verzögern eines Datensignals im Verhältnis zu einem Taktsignal auf. Weiterhin weist die Anordnung zumindest drei bistabile Kippstufen auf, wobei an einem Dateneingang der ersten bistabilen Kippstufe das verzögerte Datensignal, an dem Dateneingang der zweiten bistabilen Kippstufe das durch ein zweites Verzögerungsglied verzögerte Datensignal und an dem Dateneingang der dritten bistabilen Kippstufe das durch ein weiteres zweites Verzögerungsglied verzögerte Datensignal anliegt. An den jeweiligen Takteingängen der bistabilen Kippstufen liegt das Taktsignal an. Den Ausgängen der ersten und der zweiten bistabilen Kippstufe ist ein erster Vergleicherschaltkreis nachgeschaltet, und den Ausgängen der zweiten und der dritten bistabilen Kippstufe ist ein zweiter Vergleicherschaltkreis nachgeschaltet. Das Ausgangssignal der zweiten bistabilen Kippstufe entspricht dabei einem Datenausgangssignal. Den Vergleicherschaltkreisen ist ein Steuerschaltkreis zum Auswerten der Ausgangssignale der Vergleicherschaltkreise und zum Steuern der Verzögerung in dem Verzögerungsschaltkreis nachgeschaltet.



DE 199 20 335 C 1

Beschreibung

Die Erfindung betrifft eine Anordnung zur Phasengleichung eines Datensignals an ein Taktsignal in einem digitalen integrierten Schaltkreis. Die Anordnung ist insbesondere für einen Einsatz bei einer Datenübertragung zwischen integrierten Schaltkreisen mit einer hohen Übertragungsrate im Gbit/s-Bereich vorgesehen.

Bei dem Datenaustausch zwischen digitalen integrierten Schaltkreisen ist ein Anliegen eines Daten- und Taktsignals mit einer bestimmten Phasenbeziehung an den Eingängen des die Daten verarbeitenden integrierten Schaltkreises für eine einwandfreie Detektion und Verarbeitung der Daten von großer Bedeutung. Diese Phasenbeziehung ist aufgrund von Laufzeitunterschieden, beispielsweise verursacht durch eine unterschiedliche Wegführung oder durch unterschiedliche Verarbeitungspfade in vorausgehenden integrierten Schaltkreisen, variabel. In gleicher Weise kann die Phasenbeziehung am Eingang des integrierten Schaltkreises unbekannt sein, wenn beispielsweise das Taktsignal von einem zentralen Taktgenerator zugeführt wird oder die Takterzeugung in dem integrierten Schaltkreis selbst erfolgt. In all diesen genannten Fällen ist eine Abstimmung zwischen dem Daten- und Taktsignal erforderlich.

Das Problem einer notwendigen Phasengleichung tritt insbesondere in integrierten Schaltkreisen auf, die für eine große Verarbeitungskapazität, beispielsweise im Gbit/s-Bereich, ausgelegt sind. In diesem Bereich kann auch bei einer parallelen Führung des Daten- und Taktsignals bereits aufgrund von Toleranzen der jeweiligen Übertragungsstrecke keine ausreichende synchrone Übertragung der Signale gewährleistet werden.

Aus der DE 38 26 717 A1 ist eine Signalphasenabgleichschaltung bekannt, um den Übergang eines Taktsignals mit Übergängen eines Horizontalzeilensynchronisationssignals in Übereinstimmung zu bringen. Diese Schaltung enthält eine Reihe von Verzögerungselementen, die mehrere Phasen des Taktsignals liefern. Die von der Schaltung gelieferte Länge der Phasenverzögerung ist größer als die Periode des Taktsignals. Das Taktsignal und die verzögerten Phasen des Taktsignals werden einer Schaltung zugeführt, die eine Phase des Taktsignals mit einem innerhalb eines vorgegebenen Zeitintervalls des Übergangs des Horizontalzeilensynchronisationssignals auftretenden Übergang auswählt.

Aus der JP 09181579 A ist ein sogenannter Raten-Generator bekannt, der eine Signalarate mit einem beliebigen Zeitintervall generieren kann.

Aus der EP 0 424 741 A2 ist schließlich eine Schaltung zur digitalen Phasensynchronisation bekannt, wobei ein empfangener digitaler Datenstrom mit dem Empfängerakt synchronisiert wird. Mittels einer Vielzahl von Verzögerungseinrichtungen wird eine Vielzahl von verzögerten Eingangssignalen generiert, die anschließend mit dem Empfängerakt verglichen werden, um das verzögerte Eingangssignal mit der geringsten Phasenabweichung zu dem Empfängerakt zu ermitteln. Nach dieser Ermittlung wird mittels einer Multiplexerschaltung das geeignete verzögerte Eingangssignal ausgewählt.

Der Erfindung liegt daher die Aufgabe zugrunde, eine Anordnung anzugeben, die in einfacher Weise eine Phasengleichung zwischen einem Datensignal und einem Taktsignal realisiert. Diese Aufgabe wird durch die Anordnung gemäß dem unabhängigen Patentanspruch gelöst. Vorteilhafte Weiterbildungen der Erfindung sind den abhängigen Patentansprüchen zu entnehmen.

Die erfindungsgemäße Anordnung weist einen adaptiven Verzögerungsschaltkreis zum Verzögern eines Datensignals im Verhältnis zu einem Taktsignal auf. Weiterhin weist die

Anordnung zumindest drei bistabile Kippstufen auf, wobei an einem Dateneingang der ersten bistabilen Kippstufe das verzögerte Datensignal, an dem Dateneingang der zweiten bistabilen Kippstufe das durch ein zweites Verzögerungsglied verzögerte Datensignal und an dem Dateneingang der dritten bistabilen Kippstufe das durch ein weiteres zweites Verzögerungsglied verzögerte Datensignal anliegt. An den jeweiligen Takteingängen der bistabilen Kippstufen liegt das Taktsignal an. Den Ausgängen der ersten und der zweiten bistabilen Kippstufe ist ein erster Vergleicherschaltkreis nachgeschaltet, und den Ausgängen der zweiten und der dritten bistabilen Kippstufe ist ein zweiter Vergleicherschaltkreis nachgeschaltet. Das Ausgangssignal der zweiten bistabilen Kippstufe entspricht dabei einem Datenausgangssignal. Den Vergleicherschaltkreisen ist ein Steuerschaltkreis zum Auswerten der Ausgangssignale der Vergleicherschaltkreise und zum Steuern der Verzögerung in dem Verzögerungsschaltkreis nachgeschaltet.

Die erfindungsgemäße Anordnung bewirkt, daß das in der Verzögerungseinrichtung verzögerte Datensignal in drei identische Datensignale mit zueinander äquidistanten Phasenlagen aufgespalten wird. Anschließend werden die einzelnen Datenströme durch die bistabilen Kippstufen mit dem Taktsignal abgetastet. Durch die zweiten Verzögerungsglieder wird ein zeitliches Toleranzfeld um das Datenausgangssignal geschaffen, anhand dessen eine Einschätzung hinsichtlich der Phasenlage des Datensignals im Verhältnis zum Taktsignal erfolgen kann. Ist die Phasenlage des Datensignals gegenüber dem Taktsignal korrekt, so liegen an den Ausgängen der bistabilen Kippstufen zu jeder Zeit die gleichen Signale an, d. h. auch das dem Datensignal der zweiten bistabilen Kippstufe vorauslaufende Datensignal der ersten bistabilen Kippstufe sowie das nachfolgende Datensignal der dritten bistabilen Kippstufe werden mit dem gleichen Zustand von dem Taktsignal abgetastet. Eine Veränderung der Verzögerung des Datensignals durch den Verzögerungsschaltkreis wird in diesem Fall nicht durchgeführt. Kommt es dahingegen zu einem unterschiedlichen Ausgangssignal der bistabilen Kippstufen, so wird beispielsweise für den Fall, daß in der dritten bistabilen Kippstufe ein unterschiedlicher Zustand des Datensignals abgetastet wird, durch die Ausgangssignale der Vergleicherschaltkreise der Steuerschaltkreis und schließlich der Verzögerungsschaltkreis angesteuert und die Verzögerung des Datensignals verringert. Tritt dahingegen der Fall auf, daß in der ersten bistabilen Kippstufe ein unterschiedlicher Zustand des Datensignals abgetastet wird, so wird das Datensignal eine zusätzliche Verzögerung gegenüber dem Taktsignal erfahren. Die Zeitkonstanten der zweiten Verzögerungsglieder bestimmen dabei die zeitliche Breite des Toleranzfeldes. Somit kann beispielsweise abhängig von der effektiven Übertragungsrate bzw. der Breite der Datenimpulse eine jeweils optimale Phasengleichung des Datensignals an das Taktsignal erfolgen.

Die Vergleicherschaltkreise können dabei gemäß Ausgestaltungen jeweils als ein logisches Exklusiv-ODER-Gatter und die bistabilen Kippstufen als flankengesteuerte bistabile Kippstufen verwirklicht sein. Die Flankensteuerung bedingt, daß das Datensignal vor dem Taktsignal an dem Eingang der jeweiligen bistabilen Kippstufe anliegt, damit es durch die steigende Flanke des gesetzten Taktsignals übernommen werden kann.

Die erfindungsgemäße Anordnung ist vorteilhaft in einem breiten Einsatzbereich von Übertragungskapazitäten verwendbar und kann durch eine jeweils geeignete Wahl der Verzögerungsglieder adaptiv angepaßt werden. Weiterhin kann die Anordnung in einfacher Weise aus bekannten Strukturen der Digitaltechnik aufgebaut werden.

Gemäß einer ersten Weiterbildung der erfindungsgemäßen Anordnung ist der adaptive Verzögerungsschaltkreis als eine Verzögerungskette mit einer Anzahl von ersten Verzögerungsgliedern und einer Anzahl von Schaltgliedern zum direkten Durchschalten des Datensignals oder zum Durchschalten des durch eine jeweilige Anzahl von ersten Verzögerungsgliedern verzögerten Datensignals ausgestaltet. Dabei wird das jeweils ausgewählte Schaltglied von dem Steuerschaltkreis angesteuert.

Durch eine geeignete Wahl der Anzahl der ersten Verzögerungsglieder, die in ihrer Gesamtheit beispielsweise die Periode des Taktsignals umfassen, kann eine feinstufige Einstellung der Phasenlage des Datensignals durchgeführt werden. Hierbei ist zu beachten, daß die Toleranz zwischen der Phasenlage des Datensignals und der Phasenlage des Taktsignals maximal der halben Verzögerungsdauer eines ersten Verzögerungsgliedes entspricht. Durch eine entsprechende Wahl der Anzahl Verzögerungsglieder kann diese Toleranz vorteilhaft sehr klein gehalten werden.

Gemäß einer weiteren, auf der vorhergehenden Weiterbildung basierenden Weiterbildung der erfindungsgemäßen Anordnung ist der Steuerschaltkreis als ein Zählerkreis verwirklicht.

Der Zählerkreis weist eine der Anzahl der Schaltglieder entsprechende Anzahl Steuerausgänge zum Ansteuern jeweils eines Schaltgliedes zum Durchschalten des Datensignals auf, wobei abhängig von einem Zählerstand des Zählerkreises der entsprechende Steuerausgang ausgewählt wird.

Gemäß einer weiteren, auf der vorhergehenden Weiterbildung basierenden Weiterbildung bewirkt ein gesetztes Ausgangssignal des ersten Vergleicherschaltkreises ein Heraufzählen, und ein gesetztes Ausgangssignal des zweiten Vergleicherschaltkreises ein Herabzählen des Zählerkreises.

Durch diese Weiterbildungen wird in einfacher Weise eine Steuerung der Auswahl der notwendigen Verzögerung des Datensignals verwirklicht. Ein Überschreiten des Toleranzfeldes, d. h. ein unterschiedlicher Abtastwert der drei bistabilen Kippstufen, bewirkt, daß ein Ausgangssignal der Vergleicherschaltungen gesetzt wird, welches wiederum ein Hoch- bzw. Herunterzählen in dem Zählerkreis zur Folge hat. Abhängig von dem aktuellen Zählerstand wird ein jeweiliges Schaltglied in der Verzögerungseinrichtung angesteuert, das das Datensignal mit der entsprechenden Verzögerung durchschaltet. Eine schrittweise Annäherung - mit einer der Zeitkonstante des ersten Verzögerungsgliedes entsprechenden Schrittweite - des Datensignals an das Taktsignal beispielsweise über die gesamte Periode des Taktsignals wird hierdurch erreicht.

Einer weiteren Weiterbildung der erfindungsgemäßen Anordnung zufolge ist den Vergleicherschaltkreisen jeweils eine stabile Kippstufe nachgeschaltet. Diese stabilen Kippstufen bewirken vorteilhaft eine zeitliche Verlängerung von ansonsten nur kurzen Impulsen bei einem Zustandswechsel der Vergleicherschaltkreise, wodurch ein zuverlässiges Hoch- bzw. Herunterzählen in der Steuereinrichtung gewährleistet wird.

Auführungsbeispiele der Erfindung werden anhand der beiliegenden Zeichnungen näher erläutert. Dabei zeigen Fig. 1 eine schematische Darstellung der erfindungsge-
mäßigen, und

Fig. 2 ein Zeitdiagramm der Signalverläufe in der Anordnung gemäß der Fig. 1.

In der Fig. 1 ist eine beispielhafte schematische Darstellung einer Anordnung zur Phasengleichung angegeben. Eine derart gestaltete Anordnung kann insbesondere in digitalen integrierten Schaltkreisen mit einer großen Verarbei-

tungskapazität, beispielsweise in der Größenordnung von mehreren Gbit/s eingesetzt werden. Durch die hohe Übertragungsrate kann es, wie einleitend beschrieben, beispielsweise durch Laufzeitunterschiede zu einer Phasenverschiebung zwischen einem an dem integrierten Schaltkreis anliegenden Datensignal in und einem synchron übertragenen Taktsignal clk kommen. Da die Abtastung des Datensignals zur Weiterverarbeitung in dem verarbeitenden integrierten Schaltkreis innerhalb eines bestimmten Zeitintervalls durchgeführt werden muß, ist ein gehäuer Abgleich des Taktsignals auf das Datensignal bzw. umgekehrt notwendig. Die Anordnung kann dabei als eigenständige Schaltung realisiert oder in dem verarbeitenden Schaltkreis integriert werden.

Das Datensignal in wird einem Verzögerungsschaltkreis D zugeführt, der beispielsweise als eine Verzögerungskette mit einer Anzahl von ersten Verzögerungsgliedern T1 und einer Anzahl n den ersten Verzögerungsgliedern T1 vor- bzw. nachgeschalteten Schaltgliedern S1...Sn verwirklicht ist.

Die Anzahl der ersten Verzögerungsglieder sollte derart bemessen werden, daß über eine ganze Periode des Taktsignals clk, welches gemäß dem Beispiel der Fig. 2 beispielsweise der halben Periode des Datensignals in entspricht, eine feinstufige Einstellung der Phasenlage des Datensignals in ermöglicht wird und somit eine optimale Phasengleichung des Datensignals in an das Taktsignal clk erfolgt.

Die jeweilige Verzögerung des Datensignals in erfolgt mittels einer Auswahl eines jeweiligen Schaltgliedes S1...Sn durch einen Steuerschaltkreis C. Dieser Steuerschaltkreis C weist eine der Anzahl n der Schaltglieder S1...Sn entsprechende Anzahl Steuerausgänge 1...n auf.

Das direkt bzw. mit einer bestimmten Verzögerung durchgeschaltete Datensignal in1 wird einer ersten bistabilen Kippstufe FF1 zugeführt. Parallel hierzu wird das verzögerte Datensignal in1 über ein zweites Verzögerungsglied T2 einer zweiten bistabilen Kippstufe FF2 und über ein weiteres zweites Verzögerungsglied T2 einer dritten bistabilen Kippstufe FF3 zugeführt. In den Kippstufen FF1, FF2, FF3 wird das jeweils anliegende Datensignal in1, in2, in3 mit dem Taktsignal clk abgetaktet. Die bistabilen Kippstufen FF1, FF2, FF3 sind beispielsweise jeweils als ein bekanntes D-Flip-Flop ausgestaltet.

Das Ausgangssignal der zweiten bistabilen Kippstufe FF2 entspricht dem Datenausgangssignal out, welches eine optimale Phasenbeziehung zu dem Taktsignal clk aufweist. Die erste FF1 und dritte bistabile Kippstufe FF3 bilden ein symmetrisches Toleranzfeld um das Datenausgangssignal out, wobei die Größe des Toleranzfeldes entsprechend der Größe der zweiten Verzögerungsglieder T2 dimensioniert ist.

Das Ausgangssignal der ersten FF1 und der zweiten bistabilen Kippstufe FF2, sowie das Ausgangssignal der zweiten FF2 und der dritten bistabilen Kippstufe FF3 werden in einem ersten XOR1 bzw. zweiten Vergleicherschaltkreis XOR2, die beispielsweise jeweils als ein bekanntes Exklusiv-ODER-Gatter verwirklicht sind, miteinander verglichen. Ist die Phasenbeziehung zwischen den verzögerten Datensignalen in1, in2, in3 und dem Taktsignal clk korrekt, so folgen die bistabilen Kippstufen FF1, FF2, FF3 synchron der Änderung der Datensignale in1, in2, in3. In diesem Fall behalten die Vergleicherschaltkreise XOR1 und XOR2 den binären Zustand 0.

Die Ausgangssignale der Vergleicherschaltkreise XOR1, XOR2 werden über eine jeweilige stabile Kippstufe MF dem Steuerschaltkreis C zugeführt. Der Steuerschaltkreis C ist als ein Zählerkreis ausgestaltet, wobei ein binärer Zustandswechsel 0 → 1 des Ausgangssignals up des ersten Vergleicherschaltkreises XOR1 beispielsweise ein Heraus-

zählen in dem Zählerkreis bewirkt, währenddessen ein binärer Zustandswechsel $0 \rightarrow 1$ des zweiten Vergleicherschaltkreises XOR2 ein Herunterzählen in dem Zählerkreis bewirkt. Abhängig von dem jeweils aktuellen Zählerstand wird ein entsprechender Steuerausgang $1 \dots n$ ausgewählt, der das korrespondierende Schaltglied $S1 \dots Sn$ in dem Verzögerungsschaltkreis D ansteuert.

Die Steuereinrichtung C kann dabei beispielsweise mit einer intelligenten Auswerteeinrichtung zur Auswertung der Ausgangssignale up, down der Vergleicherschaltkreise XOR1, XOR2 ausgerüstet sein. Diese kann beispielsweise veranlassen, daß bei Erreichen eines oberen oder unteren Zählerstandes eine automatische Umkehrung der Zählrichtung oder ein Springen auf den jeweils anderen Zählerstand durchgeführt wird. Dieses entspricht für den Fall, daß die Verzögerungskette eine gesamte Periode des Taktsignals clk umfaßt, einer Phasenänderung von 360° bzw. 0° . Weiterhin kann die Auswerteeinrichtung ein periodisches Springen zwischen zwei Steuerausgängen $1 \dots n$ erkennen und dieses unterbinden.

Ein zu der Anordnung in der Fig. 1 gehöriges Zeitdiagramm der Signalverläufe der jeweiligen Datensignale in, in1, in2 und in3 sowie des Taktsignals clk in drei unterschiedlichen Phasenbeziehungen zu den Datensignalen ist in der Fig. 2 beispielhaft dargestellt.

In der ersten Zeile der Fig. 2 ist der zeitliche Verlauf des ursprünglichen Datensignals in angegeben. Dieses Datensignal in wird in dem Verzögerungsschaltkreis D um eine bestimmte Anzahl n erster Verzögerungsglieder T1 verzögert, wobei diese Anzahl zwischen 0 und der Anzahl der ersten Verzögerungsglieder T1 variieren kann. Das derart verzögerte Datensignal in1 liegt gemäß der zweiten Zeile der Fig. 2 an dem Eingang der ersten bistabilen Kippstufe FF1 an. Entsprechend liegen die jeweils um eine bzw. zwei Zeitkonstanten der zweiten Verzögerungsglieder T2 verzögerten Datensignale in2, in3 an der zweiten FF2 bzw. dritten bistabilen Kippstufe FF3 an, wie es in den Zeilen 3 und 4 beispielhaft dargestellt ist.

In den Zeilen 5 bis 7 sind beispielhaft drei unterschiedliche Phasenlagen des Taktsignals clk im Verhältnis zu den Datensignalen in1, in2, in3 angegeben. Die gestrichelten Linien stellen jeweils die Mitte der steigenden Flanke des Taktsignals clk dar, mit der die Datensignale in1, in2, in3 synchron abgetastet werden.

In dem Beispiel a) ist eine ideale Phasenbeziehung zwischen dem Taktsignal clk und den Datensignalen in1, in2, in3 aufgezeigt. Die steigende Flanke des Taktsignals clk tastet jeweils den binären Zustand 1 der Datensignale in1, in2, in3 ab. Hierdurch ändern sich die Ausgangssignale der bistabilen Kippstufen FF1, FF2, FF3 synchron und die Vergleicherschaltkreise XOR1, XOR2 ändern nicht ihre Zustände – ein Herauf- oder Herunterzählen des Zählerkreises erfolgt nicht.

In dem Beispiel b) ist das Taktsignal clk im Vergleich zu dem Beispiel a) vorausilend. Wie anhand der gepunkteten Linie deutlich wird, tastet die steigende Flanke des Taktsignals clk in der ersten FF1 und zweiten bistabilen Kippstufe FF2 jeweils den binären Zustand 1 der Datensignale in1 bzw. in2 ab, in der dritten bistabilen Kippstufe FF3 jedoch tastet die steigende Flanke einen binären Zustand 0 ab. Durch diese unterschiedliche Abtastung wird in dem zweiten Vergleicherschaltkreis XOR2 der Zustand des Ausgangssignals down verändert. Das gesetzte Ausgangssignal down bewirkt in dem Zählerkreis ein Herunterzählen und eine entsprechende Ansteuerung eines anderen Schaltgliedes $S1 \dots Sn$. Diese Steuerung bewirkt, daß das Datensignal in nachfolgend mit einer kleineren Anzahl erster Verzögerungsglieder T1 verzögert wird. Ist diese erste Änderung

der Verzögerung nicht ausreichend, so wird die Phasenlage des Datensignals bei den darauffolgenden Abtastungen durch die steigende Flanke des Taktsignals clk entsprechend weiter korrigiert.

In dem Beispiel c) ist die Phasenlage des Taktsignals clk im Vergleich zu dem Beispiel a) nachfolgend. Hierbei tritt der Fall auf, daß die steigende Flanke des Taktsignals clk in der ersten bistabilen Kippstufe FF1 den binären Zustand 0 des Datensignals in1 abtastet, während sie in der zweiten FF2 und dritten bistabilen Kippstufe FF3 den binären Zustand 1 abtastet. Dieses führt zu einem Setzen des Ausgangssignals up des ersten Vergleicherschaltkreises XOR1, der nachfolgend ein Heraufzählen in dem Zählerkreis bewirkt. Durch das Heraufzählen wird die Auswahl des Steuerausganges $1 \dots n$ verändert, über den wiederum ein anderes Schaltglied $S1 \dots Sn$ zum Durchschalten des Datensignals in angesteuert wird. Dieses bewirkt in dem dargestellten Fall, daß das Datensignal in zunächst durch ein zusätzliches erstes Verzögerungsglied T1 verzögert wird. Ist diese Änderung wiederum nicht ausreichend, so erfolgt wie in dem Beispiel b) bei den darauffolgenden Abtastungen eine weitere Korrektur der Phasenlage des Datensignals in. Die Korrektur erfolgt solange, bis die ideale Phasenbeziehung entsprechend dem Beispiel a) erreicht ist.

Für den Fall, daß beispielsweise die größt mögliche Verzögerung des Datensignals in erreicht wird, erfolgt in dem Zählerkreis beispielsweise ein Zurücksetzen des Zählerstands, welches einem Übergang von einer Periode zu einer vorherigen bzw. nachfolgenden Periode des Taktsignals clk entspricht. Da nur die Phasenbeziehung zwischen dem Datensignal in und dem Taktsignal clk von Bedeutung ist, bedeutet ein derartiger Übergang zwischen zwei Perioden des Taktsignals clk keine negative Beeinflussung der Verarbeitbarkeit des Datensignals in.

Patentansprüche

1. Anordnung zur Phasengleichung eines Datensignals (in) an ein Taktsignal (clk) in einem digitalen integrierten Schaltkreis, mit

- einem adaptiven Verzögerungsschaltkreis (D) zum Verzögern des Datensignals (in) im Verhältnis zu dem Taktsignal (clk),
- zumindest drei bistabilen Kippstufen (FF1, FF2, FF3), wobei an einem Dateneingang der ersten bistabilen Kippstufe (FF1) das verzögerte Datensignal (in1), an dem Dateneingang der zweiten bistabilen Kippstufe (FF2) das durch ein zweites Verzögerungsglied (T2) verzögerte Datensignal (in2) und an dem Dateneingang der dritten bistabilen Kippstufe (FF3) das durch ein weiteres zweites Verzögerungsglied (T2) verzögerte Datensignal (in3) anliegt, und wobei an einem jeweiligen Takteingang der bistabilen Kippstufen (FF1, FF2, FF3) das Taktsignal (clk) anliegt,
- einem den Ausgängen der ersten (FF1) und der zweiten bistabilen Kippstufe (FF2) nachgeschalteten ersten Vergleicherschaltkreis (XOR1), wobei das Ausgangssignal der zweiten bistabilen Kippstufe (FF2) einem Datenausgangssignal (out) entspricht,
- einem den Ausgängen der zweiten (FF2) und der dritten bistabilen Kippstufe (FF3) nachgeschalteten zweiten Vergleicherschaltkreis (XOR2), und
- einem den Vergleicherschaltkreisen (XOR1, XOR2) nachgeschalteten Steuerschaltkreis (C) zum Auswerten der Ausgangssignale (up, down)

- der Vergleicherschaltkreise (XOR1, XOR2) und zum Steuern der Verzögerung des Datensignals (in) in dem Verzögerungsschaltkreis (D).
2. Anordnung nach Anspruch 1, bei der der adaptive Verzögerungsschaltkreis (D) als eine Verzögerungskette mit einer Anzahl von ersten Verzögerungsgliedern (T1) und einer Anzahl von Schaltgliedern (S1...Sn) zum direkten Durchschalten des Datensignals (in) oder zum Durchschalten des durch eine jeweilige Anzahl von Verzögerungsgliedern (T1) verzögerten Datensignals (in), wobei das jeweils ausgewählte Schaltglied (S1...Sn) von dem Steuerschaltkreis (C) angesteuert wird.
3. Anordnung nach dem vorhergehenden Anspruch, bei der der Steuerschaltkreis (C) als ein Zehlschaltkreis verwirklicht ist, der eine der Anzahl der Schaltglieder (S1...Sn) entsprechende Anzahl von Steuerausgängen (1...n) zum Ansteuern jeweils eines Schaltglieds (S1...Sn) zum Durchschalten des Datensignals (in) aufweist, wobei abhängig von einem Zählerstand des Zehlschaltkreises (C) der entsprechende Steuerausgang (1...n) ausgewählt wird.
4. Anordnung nach dem vorhergehenden Anspruch, bei der ein gesetztes Ausgangssignal (up) des ersten Vergleicherschaltkreises (XOR1) ein Heraufzählen und ein gesetztes Ausgangssignal (down) des zweiten Vergleicherschaltkreises (XOR2) ein Herabzählen des Zehlschaltkreises (C) bewirkt.
5. Anordnung nach einem vorhergehenden Anspruch, bei der den Vergleicherschaltkreisen (XOR1, XOR2) jeweils eine stabile Kippstufe (M1) nachgeschaltet ist.
6. Anordnung nach einem vorhergehenden Anspruch, bei der die Vergleicherschaltkreise (XOR1, XOR2) jeweils als logische Exklusiv-ODER-Gatter verwirklicht sind.
7. Anordnung nach einem vorhergehenden Anspruch, bei der die bistabilen Kippstufen (F1, F2, F3) jeweils flankengesteuert sind.

Hierzu 2 Seite(n) Zeichnungen

- Leerseite -

FIG 1

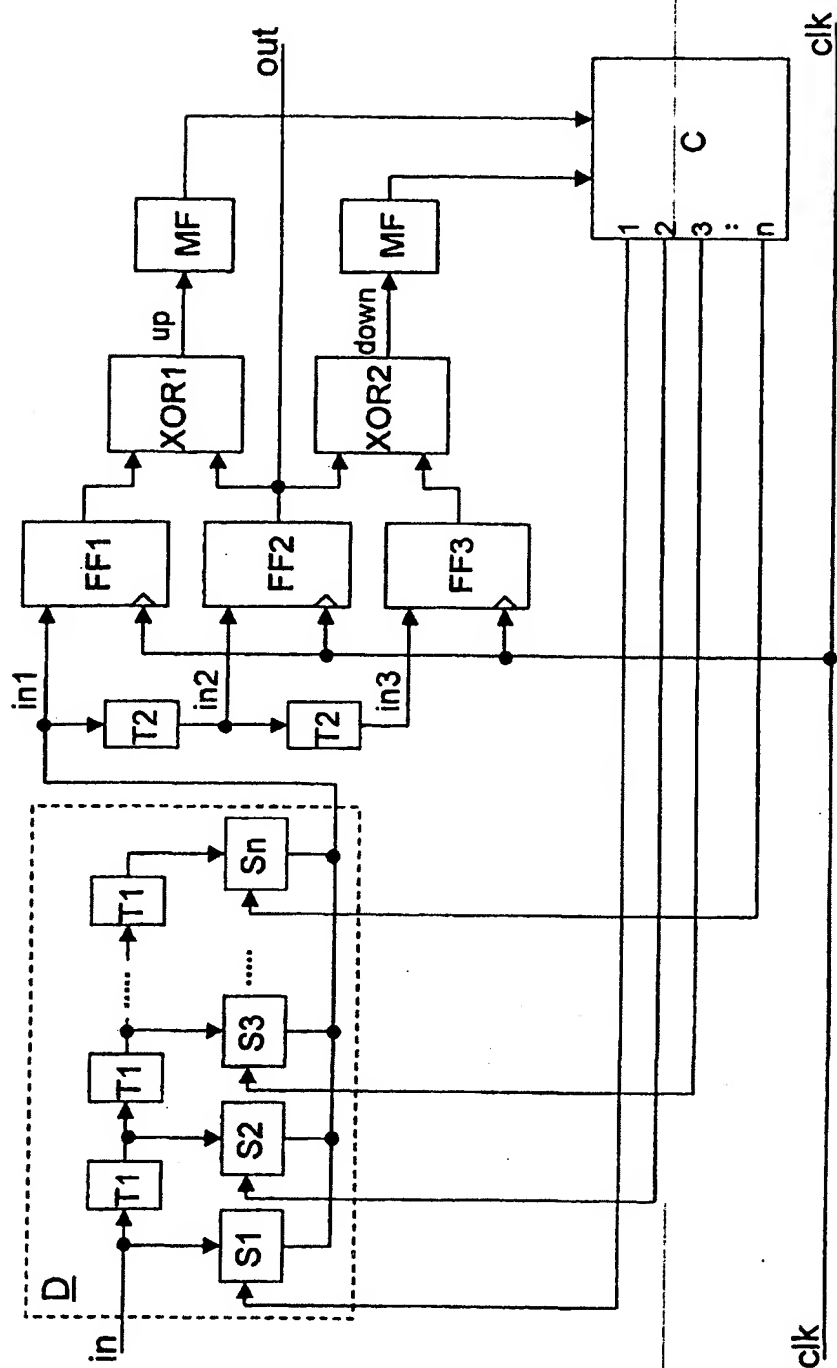
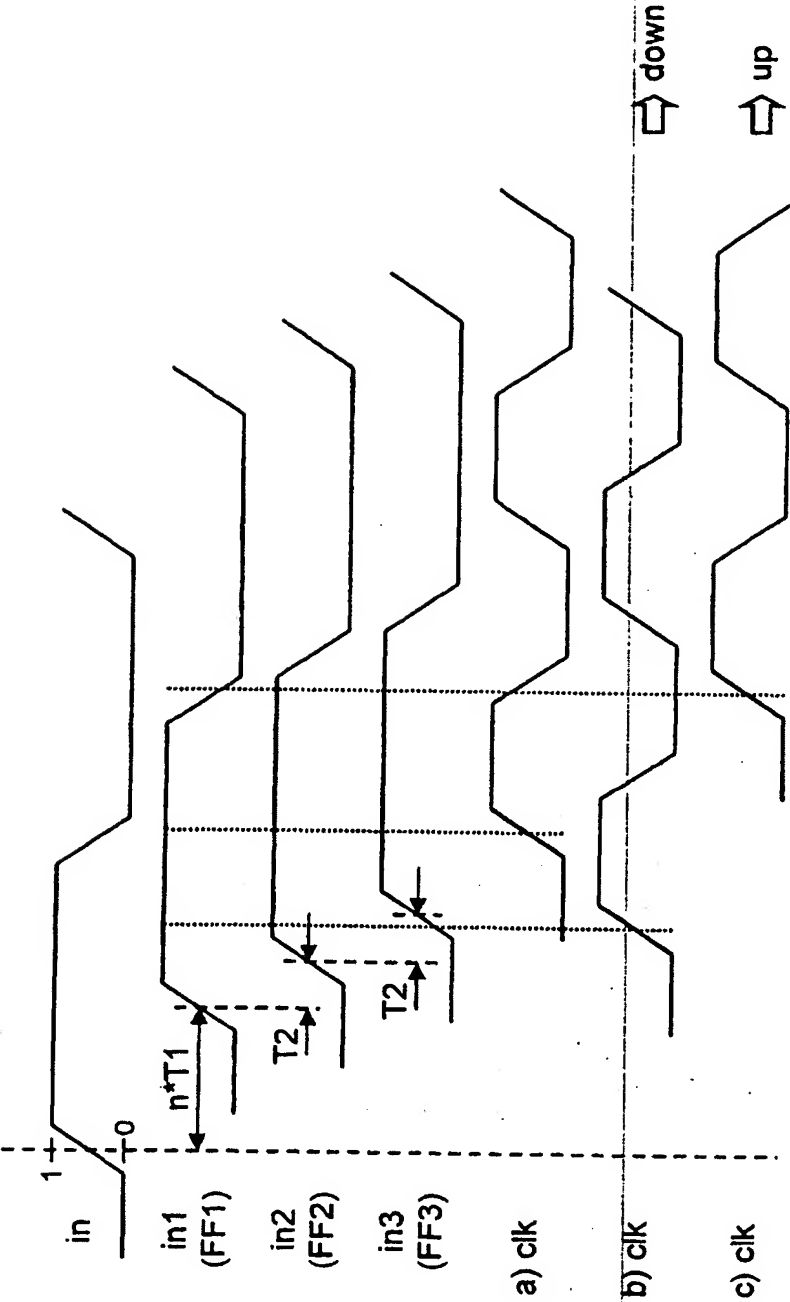


FIG 2



002 136/258